

2024 IEEE VLSI Review

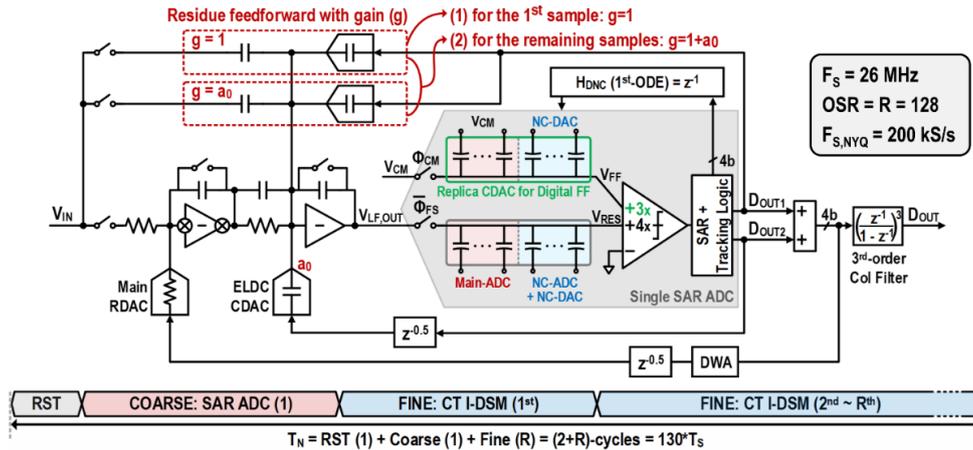
DGIST 전기전자컴퓨터공학과 박사과정 위정윤

Session 18 Data Converter Techniques

최근 제안되고 있는 ADC는 높은 전력효율을 얻기 위해 OSR을 낮추는 방향으로 연구되고 있다. OSR을 낮추면서 동시에 높은 resolution을 보장하기 위해 고차 noise-shaping, pipelined, 그리고 coarse-fine conversion 등 다양한 기술을 응용한 ADC가 제안되고 있다. 최근 noise-shaping 기술들은 전력효율을 높이기 위해 3차 이상의 고차 ADC로 구현되고 있다. 하지만 고속 응용분야에서는 이런 고차 ADC 구현이 어렵기 때문에 pipelined ADC가 빈번히 제안되고 있다. 반면에 센서분야에서는 ADC 출력에 digital 출력을 재구성하기 위한 외부 decimation filter 또는 넓은 면적의 합성 decimation filter를 필요로 한다. 하지만 고차 noise shaping ADC는 on-chip decimation filter 구현에 면적 및 전력 면에서 단점을 가지기 때문에 decimation filter 구현이 용이한 incremental ADC (IADC)가 연구되고 있다. Incremental ADC 내부의 reset 기능으로 인해 decimation filter를 간단하게 구현할 수 있지만, 높은 resolution 구현을 위해서는 매우 높은 oversampling ratio(OSR)에서의 동작이 필요해 높은 power efficiency를 기대하기 어렵다. 이런 IADC의 한계를 극복하기 위해 최근 Nyquist sample rate을 유지하면서 낮은 OSR로도 높은 resolution 구현이 가능한 coarse-fine conversion incremental ADC가 제안되는 추세이다.

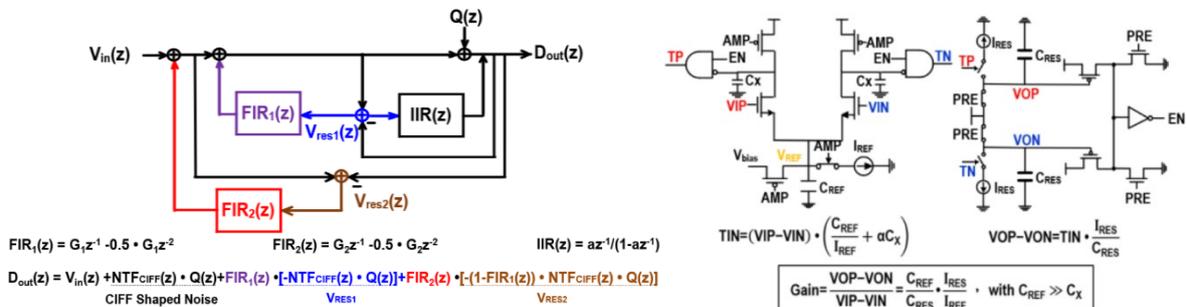
#18-1 본 논문은 tracking-zoom, residue gain switching, 그리고 digital noise-coupling feedforward (NC-FF) 세 가지 기술을 제안함으로써 높은 power efficiency와 resolution이 필요한 센서 인터페이스를 위한 zoom 동작을 탑재한 IADC를 구현했다 (그림1). Tracking-zoom 기술은 coarse conversion의 SAR ADC를 fine conversion에서의 quantizer로 재사용 가능하도록 함으로써 높은 resolution 및 면적 최소화에 기여했다. 해당 기술은 coarse SAR ADC의 sampling rate을 Nyquist rate으로 가져가면서 동시에 signal-to-quantization noise ratio (SQNR) 성능 저하를 피하기 위해 제안된 기술로, fine conversion 시에 추가적으로 coarse code를 업데이트한다. Fine conversion의 디지털 출력을 threshold 및 low pass filtering 시킴으로써, SAR ADC의 OSR의 한계로 인해 저하된 coarse conversion SQNR 성능을 fine conversion에서 DC 성분의 평균을 빼고, 해당 평균으로 coarse code를 업데이트함으로써 1-conversion SQNR 저하를 보상한 기술로 해석할 수 있다. Residue gain switching 기술은 excessive loop delay (ELD) 보상을 위해 추가된

path에서 발생하는 gain 변화를 보상하기 위해 feedforward path의 gain을 ELD path의 gain과 동일하게 설정하는 기술이다. 본 기술을 통해 fine conversion의 signal transfer function (STF)를 1로 맞추으로써 continuous time IADC에서도 coarse, fine conversion에서의 fuzz 문제를 해결했다. 마지막으로 제안된 digital NC-FF기술은 기존 digital NC에 feedforward path를 추가하여 noise transfer function (NTF)의 코너 가변성을 구현했다. 언급된 기술들을 통해 제안된 ADC는 169.8의 $FoM_{S,SNDR}$ 과 174.9의 $FoM_{S,DR}$ 성능을 달성했다.



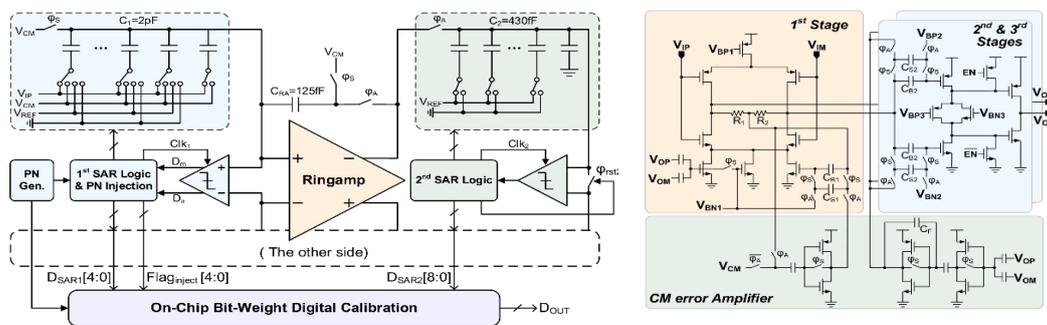
[그림 1] 제안된 continuous-time tracking-zoom incremental ADC

#18-2 본 논문은 error feedback (EF)과 cascade of Integrator with feedforward (CIFF) 기술을 응용한 EF-EF-CIFF 기반 5차 noise shaping 기술을 제안하고, 내부 amplifier를 process, voltage, 그리고 temperature에 강인한 voltage-time-voltage (VTV) 컨버터를 통해 구현함으로써 고성능의 SAR ADC를 구현했다 (그림2). Amplifier의 경우, PVT에 강인하게 설계하기 위해선 추가적인 면적, 전력이 소모된다. 본 논문은 전압을 PVT에 강인한 시간영역으로 변경한 뒤, 이득을 추가하여 전압으로 변경하는 VTV를 제안하여 PVT에 강인하면서도 저전력을 소모하는 ADC 구현에 성공했다. 결과적으로 고차를 구현하여 매우 낮은 OSR로 높은 SNDR를 달성함과 동시에 전력소모를 최소화하여 180.2-FoM_S의 높은 전력효율을 달성했다.



[그림 2] 제안된 5차 NS-SAR ADC 블록도 및 voltage-time-voltage 컨버터

#18-4 본 논문은 switched-capacitor-based ringamp with robust CMFB, auxiliary-latch-based PN-junction window detector, separate-averaging algorithm for bit-weight calibration 세 가지 기술을 제안함으로써 sub-ADC 간 gain error 및 DAC mismatch를 on-chip에서 보정가능한 시스템을 구현했다. (그림 3) 고속 pipelined ADC에서는 전력효율을 높이기 위해 ring 타입의 residue amplifier을 응용하고 있지만, 기존 ringamp들은 안정적인 common-mode (CM) 구현을 위해서 신호 왜곡을 감수하거나 또는 높은 정확도의 제어 clock으로 인한 추가적인 회로를 필요로 했다. 본 논문에서 제안한 switched-capacitor-based ringamp는 1st-stage는 DC coupled fully differential amplifier을 사용하고 2nd-stage는 switched-capacitor를 통해 안정적으로 CM를 바이어싱하는 회로를 구현했다. 이와 더불어 discrete-time CM error amplifier를 추가하고, CMFB에 필요한 path를 줄여 phase margin을 확보한 CMFB를 구현했다. Pipelined ADC의 sub-ADC 간 gain error 및 첫번째 sub-ADC의 DAC mismatch는 ADC 선형성에 큰 영향을 미친다. 본 논문은 pseudo random noise (PN)를 인가하여 bit-weight digital calibration을 수행함으로써 문제를 해결했다. 적절한 타이밍에 PN을 인가하기 위해 auxiliary-latch-based PN-junction window detector를 quantizer에 결합시켰으며, separate-averaging algorithm for bit-weight calibration 기법을 구현하였다. 상기 언급된 세가지 기술을 통해 본 논문은 low frequency 입력에서 175.3-FoM₅를 Nyquist 입력에서 169.7-FoM₅를 달성했다.



[그림 3] 제안된 continuous-time tracking-zoom incremental ADC

저자정보



위정윤 박사과정 대학원생

- 소속 : DGIST EECS
- 연구분야 : Analog ICs for biomedical application
- 이메일 : wiejung@dgist.ac.kr
- 홈페이지 : <http://ins.dgist.ac.kr>

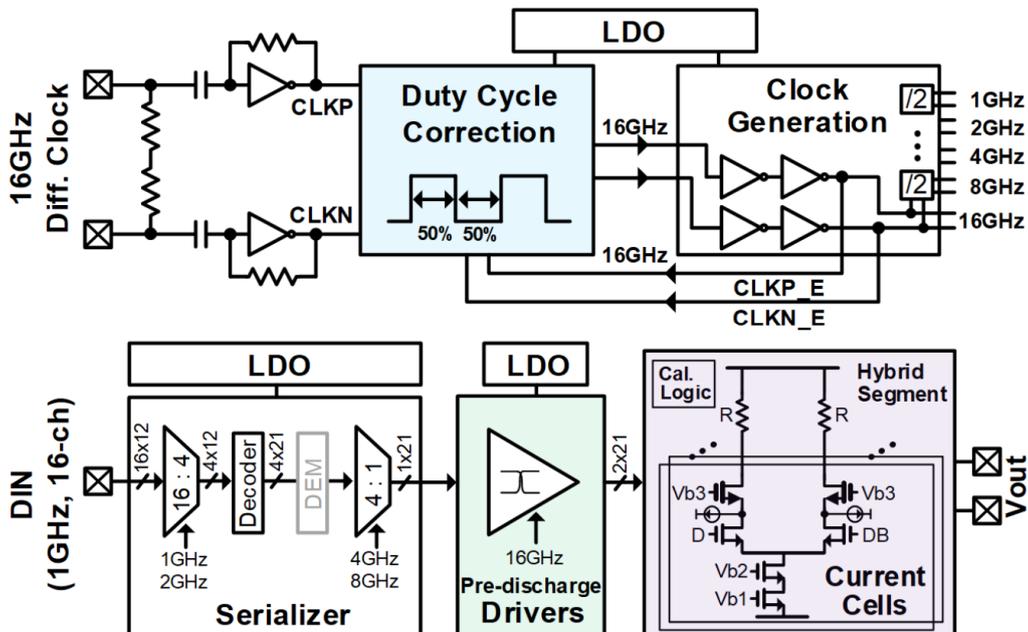
2024 IEEE VLSI Review

고려대학교 반도체시스템공학과 박사과정 김현진

Session 24 High-Speed Data Converters

이번 2024 IEEE VLSI의 Session 24는 High-Speed Data Converters라는 주제로 총 5편의 논문이 발표되었다. 이 세션에서는 RF 통신 어플리케이션에 적합한 고속 ADC 및 DAC와 wireline에 적합한 고속 ADC 구조들이 소개되었고, 주로 고속 동작을 위해서 time-interleaved architecture로 설계될 경우 발생하는 이슈들을 해결하는 방향으로 연구가 진행되었다. 특히, 올해는 추가적인 성능 하락 없이도 background calibration을 구현하여 실용적인 data converter를 설계하는 논문들이 다수 발표되었다는 점이 주목할 만하다.

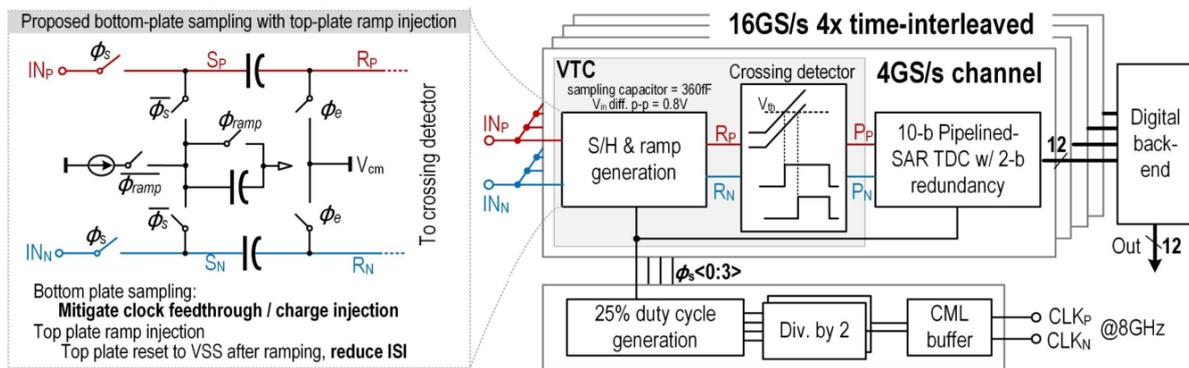
#24-1 본 논문에서는 5G 통신 어플리케이션에 적합한 high-resolution & high-speed DAC 구조를 제안한다. Current-steering 구조를 기반으로 설계되었으며, MSB와 LMSB 사이의 dynamic mismatch로 인하여 성능 저하가 없도록 새로운 hybrid current cell segmentation 방식으로 동작한다. 또한, code 기반의 free switch driver를 통해서 DAC 동작 시 발생하는 데이터 의존성을 제거해 주었다.



[그림 1] 본 논문에서는 소개된 전체적인 RF-DAC의 아키텍처이다.

제안된 회로는 5nm FinFET 공정으로 설계되었으며, -85 dBc의 IMD3와 -163 dBFS/Hz의 노이즈 스펙트럼 밀도를 보여주었다. 또한, 16 GS/s에서 7.1 GHz 출력 주파수로 동작할 때 486mW의 낮은 전력 소모량을 달성하였다.

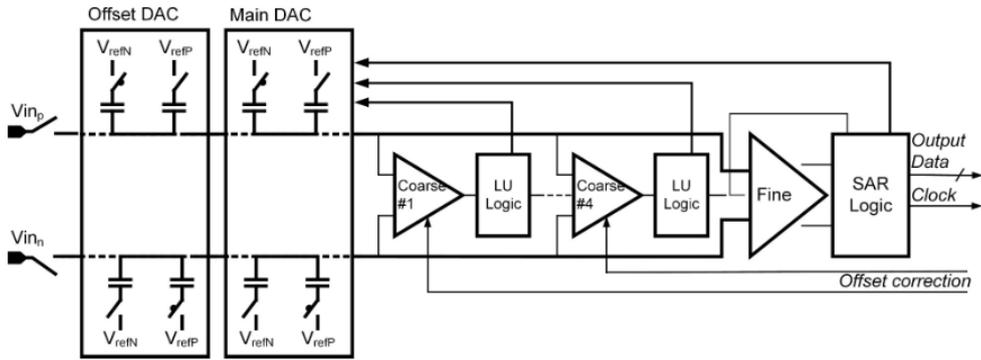
#24-2 본 논문에서는 새로운 구조의 voltage-to-time converter와 background delay offset calibration을 통해서 time-domain ADC의 PVT variation과 연관된 이슈들을 해소하여, 4x time-interleaving 만으로도 16 GS/s 및 10-bit 해상도를 달성한 새로운 RF 어플리케이션용 ADC 아키텍처를 제안한다.



[그림 2] 본 논문에서 제안된 time-interleaved time-domain ADC 구조이다.

먼저, 제안된 time-domain ADC는 SAR 알고리즘을 기반으로 동작하며, SAR 동작에 redundant quantization range를 여유로 두어 radix error와 offset에 의해 야기되는 quantization residue를 보상하였다. 하지만, 고해상도 동작을 위해서는 추가된 redundant stage들의 delay offset이 calibration 되어야한다. 따라서, delay offset을 적분한 integrator 출력을 이용하여 DTC를 제어하는 방식으로 background offset calibration을 진행하였다. 또한, 새로운 bottom-plate sampling 기반의 VTC 구조로 ADC의 추가적인 정확도 향상을 달성하였다. 측정 결과, ADC는 Nyquist 주파수에서 55.93 dB의 SFDR과 44.48 dB의 SNDR을 달성했으며, 94.2 mW를 소비하여, 기존 논문들 대비 높은 FoM 성능을 달성하였다.

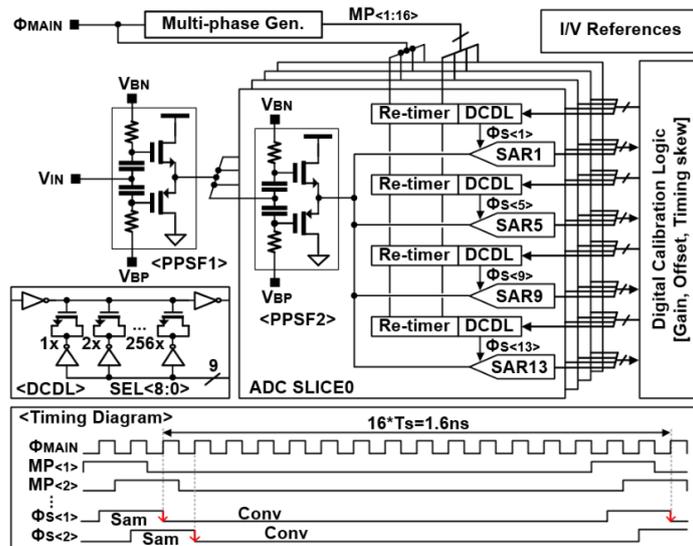
#24-3 본 논문에서는 partial loop unrolled SAR ADC 회로를 sub ADC 요소로 사용하는 64-way time-interleaved ADC 아키텍처를 소개한다. 전통적인 SAR ADC 구조는 비교기와 SAR 로직들의 순차적인 동작 방식으로 time-interleaved ADC 구조에서 사용되기에 느리다.



[그림 3] 본 논문에서 sub ADC로 사용된 partial loop unrolled SAR ADC 구조이다.

따라서, 논문에서는 [그림 3]과 같이 loop unrolled ADC를 MSB의 결정 동작에 사용하여 sub ADC의 전체적인 동작 속도를 증가시켰다. 하지만, ADC 회로에서는 두개 이상의 비교기를 사용할 경우, 비교기 간의 offset을 calibration해야하는 이슈가 발생한다. 본 논문에서는 redundancy를 사용하여, loop unrolled 구간과 SAR ADC 구간에서의 DAC 값을 일치시켜서, 추가적인 하드웨어 없이도 같은 아날로그 전압을 통해서 calibration을 진행하는 새로운 calibration 방식을 제안하였다. 60 GS/s 동작 속도를 감안하여 아날로그 front-end 회로 또한 신중하게 설계되었고, 논문에서 소개된 ADC는 기존에 발표된 30 GS/s 이상의 time-interleaved ADC 구조들과 비교하였을 때 향상된 FoM 성능을 달성하였다.

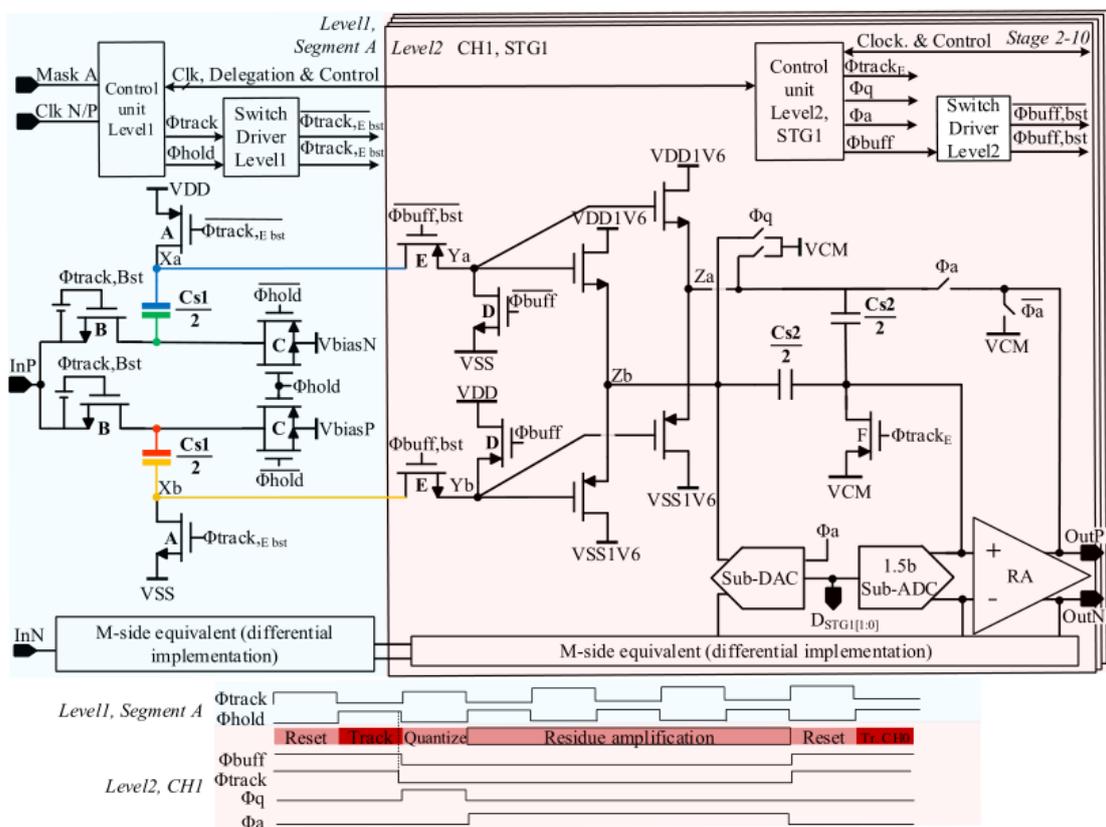
#24-4 본 논문에서는 background timing skew calibration을 적용시킨 over-Nyquist 12-비트 10 GS/s time-interleaved ADC 구조를 소개한다. 제안된 background calibration 방식은 auto-correlation 알고리즘을 통해서 absolute timing skew 에러를 계산하고 보정하며, 짝수 및 홀수 채널을 구분하여 동시에 calibration하여 3단계의 보정만으로 16개의 SAR ADC의 timing skew를 전부 calibration한다.



[그림 4] 본 논문에서 제안된 전체적인 time-interleaved SAR ADC 구조이다.

제안된 ADC 칩은 5nm FinFET 공정으로 제작되었으며, 5GHz 및 9GHz 입력 주파수에서 각각 50.2dB 및 46.2dB의 SNDR를 달성하였다. 본 논문에서 소개된 ADC는 추가적인 하드웨어 없이 디지털 도메인에서 timing skew를 calibration 하였으므로, 386mW의 비교적 낮은 전력 소비량을 달성하였다.

#24-5 본 논문에서는 10 GS/s 이상의 RF 어플리케이션용 ADC 구조를 소개한다. 회로는 hierarchical time-interleaved ADC 구조를 기반으로 설계되었고, front-end의 signal 및 clock buffering은 고속에서도 높은 해상도를 달성하는 것을 목표로 집중적으로 분석 및 설계되었다.



[그림 5] 본 논문에서 제안한 전반적인 time-interleaved ADC 구조이다.

논문에서 제안한 wide-band-linear signal buffering 기술과 효율적인 hierarchical ADC architecture 를 통해서 low noise (>56 dB SNDR) 성능과 low distortion (>68 dB SFDR) 성능을 달성하였고, 이는 기존의 비슷한 RF 어플리케이션용 ADC들의 성능들 보다 높다.

저자정보



명예기자 김현진

- 소속 : 고려대학교 반도체시스템공학과 박사과정
 - 연구분야 : PMIC & ADC & Ising Machines
 - 이메일 : jamespul@korea.ac.kr
 - 홈페이지 : <https://kilby.korea.ac.kr>
-